

Japanese Unexamined Patent Application Publication No. Hei-8-46135

[Claim 1] A hybrid integrated circuit apparatus characterized in that a sub mount having a sub substrate on which a semiconductor chip is mounted is mounted to a hybrid integrated circuit substrate in which a dented section is formed at a rear surface, an opening is formed within the area where the dented section is formed, and a stitch land is formed on a front surface in a portion surrounding the opening, such that the semiconductor chip is disposed in the dented section; and a bonding pad disposed on the semiconductor chip and the stitch land are connected by a bonding wire passing through the opening.

[Claim 5] A hybrid integrated circuit apparatus according to Claim 1, characterized in that an end-face electrode having a rough U shape with two right angles, connected to the stick land is formed on an end face of the hybrid integrated circuit substrate.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-46135

(43) 公開日 平成8年(1996)2月16日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/04

25/18

H 0 1 L 25/ 04

Z

審査請求 有 請求項の数 7 F D (全 6 頁)

(21) 出願番号 特願平6-197875

(22) 出願日 平成6年(1994)7月31日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 石浜 和治

東京都港区芝五丁目7番1号日本電気株式会社内

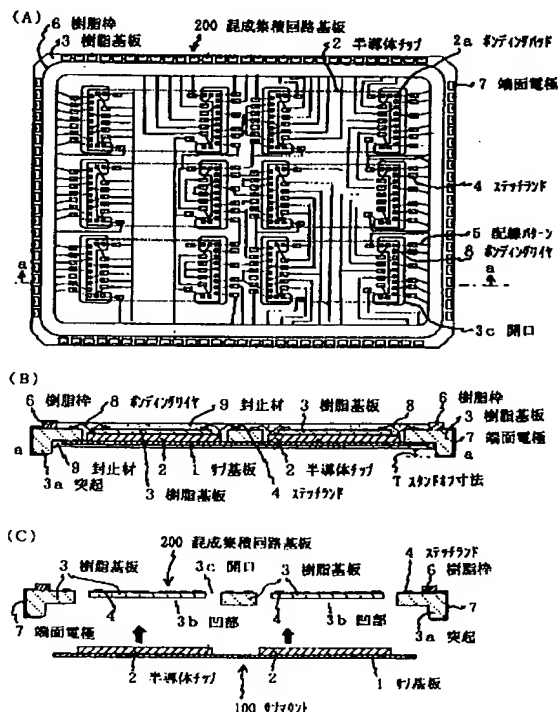
(74) 代理人 弁理士 宮越 典明

(54) 【発明の名称】 混成集積回路装置

(57) 【要約】

【目的】 マルチチップモジュールの実装密度の向上、基板反りの防止を目的とする混成集積回路基板を提供すること。

【構成】 混成集積回路基板200は、樹脂基板3上にステッチランド4、配線パターン5を形成し、また側面に端面電極7を形成し、表面に樹脂枠6を接着して形成されたものである。樹脂基板3の裏面に半導体チップ2の形状に応じた凹部3bが形成され、開口3cが開けられている。また、裏面の周辺部に環状の突起3aが形成されている。サブ基板1に半導体チップ2を搭載したサブマウント100を上記混成集積回路基板200に装着し、裏面より封止材9で封止して該基板200を固着する。開口3cを通してボンディングワイヤ8にてボンディングパッド2a-ステッチランド4間を接続し、封止材9で半導体チップ2を封止する構造からなる混成集積回路基板。



【特許請求の範囲】

【請求項1】 裏面に凹部が設けられ、該凹部の形成領域内に開口が設けられ、表面の前記開口の周辺部にステッチランドが形成されている混成集積回路基板に、サブ基板上に半導体チップが搭載されてなるサブマウントが前記凹部に前記半導体チップが配置される態様にて装着され、前記半導体チップ上のボンディングパッドと前記ステッチランドとの間が前記開口を通るボンディングワイヤにより接続されていることを特徴とする混成集積回路装置。

【請求項2】 前記混成集積回路基板の裏面の周辺部に前記サブ基板の厚さより高さの高い突起が設けられ、該突起に囲まれた領域内に前記サブ基板が装着されていることを特徴とする請求項1記載の混成集積回路装置。

【請求項3】 前記混成集積回路基板の表面、又は、前記混成集積回路基板の表面及び前記サブ基板の裏面が封止材にて封止されていることを特徴とする請求項1記載の混成集積回路装置。

【請求項4】 前記混成集積回路基板の表面に中央部を囲む枠体が形成乃至固着されており、基板表面を封止する前記封止材の広がり範囲が該枠体によって規制されていることを特徴とする請求項3記載の混成集積回路装置。

【請求項5】 前記混成集積回路基板の端面に、前記ステッチランドに接続された概略“コ”の字形状の端面電極が形成されていることを特徴とする請求項1記載の混成集積回路装置。

【請求項6】 前記サブ基板の材料が前記混成集積回路基板のそれと同一材料であることを特徴とする請求項1記載の混成集積回路装置。

【請求項7】 前記半導体チップの一方の対向する2辺側のチップ間では、前記混成集積回路基板上にステッチランドが形成されていないことを特徴とする請求項1記載の混成集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、混成集積回路装置に関し、特に複数の半導体チップを搭載する混成集積回路装置の構造に関する。

【0002】

【従来の技術】 半導体装置の応用製品である電子機器類の小型化と動作高速化は不断に求められており、それに伴い半導体装置の実装技術も高密度化が進められている。その中にあって、複数のベアチップを同一パッケージ内にモジュール化する混成集積回路装置は、配線基板上に個別にパッケージングされた半導体装置を搭載する実装方式と比較して、高密度実装が可能であること、配線遅延をより少なくすることができることから注目されている。

【0003】 この種従来の混成集積回路装置(第1の従

来例)について、図3及び図4を参照して説明する。図3は、第1の従来例を説明する図であって、そのうち(A)は、その平面図であり、(B)は、(A)のb-b線断面図である。また、図4は、第1の従来例の部分拡大断面図である。なお、図3に示されている混成集積回路装置(第1の従来例)は、メモリモジュールの例を示している。

【0004】 第1の従来例である混成集積回路装置は、図3(A)、(B)に示すように、半導体チップ2の搭載される混成集積回路基板は、樹脂基板3上にステッチランド4、配線パターン5及びマウントランド10を形成し、基板端部に“コ”の字状の端面電極7を形成し、また基板上に樹脂枠6を接着して形成したものである。なお、配線パターン5は、必要に応じてパイアホール11を介して他の配線パターンと接続されている。

【0005】 この第1の従来例では、混成集積回路基板のマウントランド10上に半導体チップ2をマウントした後、半導体チップ2上のボンディングパッド2aとステッチランド4との間をボンディングワイヤ8により接続する。その後、樹脂枠6内の混成集積回路基板表面、半導体チップ2及びボンディングワイヤ8を封止材9にて封止する。

【0006】 図4は、上記第1の従来例における混成集積回路基板上での半導体チップ2の実装状態を示す部分拡大図である。図4に示すように、従来の混成集積回路装置(第1の従来例)では、マウントランド10とステッチランド4とが同一平面上に形成されている。

【0007】 このような実装構造では、ボンディングワイヤ8のチップ表面への接触、いわゆるエッジタッチを避けるため、ボンディングワイヤのループを大きく形成する必要がある。したがって、半導体チップ2とステッチランド4間の距離を一定以上に設定しなければならず、そのため、チップ間の間隔“L2”を一定以下に狭くすることができなかった。

【0008】 而して、個別の半導体チップの小型化実装技術として、例えば特開平4-291950号公報には、LOC(Lead on chip)構造のパッケージが提案されている(以下“第2の従来例”という)。図5にその断面図を示す。第2の従来例では、DRAMである半導体チップ2は、SOJ(Small Outline J-bend)型樹脂封止型パッケージ内に封止されている。

【0009】 この実装方式では、図5に示すように、ボンディングパッド2aは半導体チップ2の中央部へ配置され、Jリード12のチップ中心近傍まで引き延ばされたインナーリード部12aは、絶縁フィルム13を介して半導体チップ2上に接着されている。そして、ボンディングパッド2aとインナーリード部12aの間はボンディングワイヤ8により接続され、Jリード12のアウターリード部を除いて全体はモールド樹脂14により封止されている。

【0010】

【発明が解決しようとする課題】 上述した従来の混成集積回路装置(第1の従来例)では、前記した図4の部分断面図に示すように、半導体チップ2間の距離“L2”を一定以下に小さくすることができなかった。また、ボンディングパッド2aの個数が増加した場合、ボンディングパッド2aの間隔が100 μ m程度であるのに対し、ステッチランド4の間隔は250 μ mピッチが限度であるため(前記図3参照)、ステッチランドエリアが増加してしまい、ステッチランドを含めた実装エリアがチップ自体の面積の2~3倍に広がる欠点があった。

【0011】 更に、従来の混成集積回路装置(第1の従来例)では、図3(B)に示すように、樹脂基板3と半導体チップ2と封止材9との3層構造からなり、そして、それぞれの熱膨張係数が異なるところから温度変化に応じて反ってしまい、そのため実装後においても半導体チップ2に大きな応力がかかり、信頼性が低下するという欠点があった。その上、実装時にパッケージ底部の平坦性が確保できず、接続不良の原因になるという欠点があった。

【0012】 一方、特開平4-291950号公報に記載されたLOC構造の半導体装置(第2の従来例)では、前記図5に示すように、単体の半導体チップ2に対する実装構造が考慮されているに過ぎないため、この技術を直ちに複数チップの実装手段に適用することはできない。仮に、この実装技術を、複数チップを同一パッケージ内に実装する混成集積回路装置に適用した場合、あるチップのパッドに接続されたリードが他のチップ上を通過せざるをえなくなるため、そのチップ上でのボンディングエリアの確保が難しくなり、却って実装密度が低下することになる。また、少量多品種を求められる混成集積回路装置では、Jリードの製造に必要な金型等の初期コストが高くつく等の不都合も生じる。

【0013】 本発明に係る混成集積回路装置は、このような状況に鑑み成されたものであって、その目的は、第1に、より実装密度の高い混成集積回路装置を提供できるようにすることであり、第2に、反りの生じにくいパッケージ構造を提案し、これにより内部応力を緩和でき、また実装基板上への接続を確実なものとすることができるようにすることにある。

【0014】

【課題を解決するための手段】 上記目的を達成するため、本発明に係る混成集積回路装置の構造は、裏面に凹部が設けられ、該凹部の形成領域内に開口が設けられ、表面の前記開口の周辺部にステッチランドが形成されている混成集積回路基板に、サブ基板上に半導体チップが搭載されてなるサブマウントが前記凹部に前記半導体チップが配置される態様にて装着され、前記半導体チップ上のボンディングパッドと前記ステッチランドとの間が前記開口を通るボンディングワイヤにより接続されてい

ることを特徴とするものである。

【0015】

【作用】 本発明によれば、半導体チップのマウント面とステッチランドの形成面が異なっているため、半導体チップ間の距離を短くすることができる。さらに、チップ上に設けられた開口を介してボンディングワイヤをステッチランドへ接続するという構成を採用することにより、開口の両側にステッチランドを設けることが可能になり、実装密度を一層高めることができる。

【0016】 また、本発明の混成集積回路装置では、半導体チップをサブ基板と混成集積回路基板とで挟む構造としたことにより、半導体チップに加わる熱応力を緩和することができる。特に、両基板を同一材料にて形成した場合には、それぞれの基板による作用をほぼ完全に相殺することができる。

【0017】

【実施例】 次に、本発明の実施例について図1及び図2を参照して説明する。なお、図1は、本発明の一実施例である混成集積回路装置を説明する図であって、(A)はその平面図、(B)は(A)のa-a線断面図、(C)はその製造方法を説明するための断面図である。また、図2は、本発明の一実施例の部分拡大断面図である。

【0018】 まず、本実施例の混成集積回路装置の製造方法について、図1(C)を中心に、その他図1(A)、同(B)を参照して説明する。本実施例の混成集積回路装置を製造するには、まず、図1(C)に示すサブマウント100を形成する。即ち、6個の半導体チップ2を、自動マウント装置によりガラスエポキシ製サブ基板1上の端面基準より算出した座標へ搭載し、接着してサブマウント100を形成する。なお、図示していないが、ここで用いる接着剤は、後に用いる封止材料と同一材料であることが望ましい。

【0019】 次に、このサブマウント100を混成集積回路基板200へその裏面側より装着する。この混成集積回路基板200は、図1(C)に示すように、ガラスエポキシ製の樹脂基板3上にステッチランド4を、またその端面に端面電極7を形成し、それらの間を配線パターン5(図1(A)参照)で接続し、さらにその表面に環状の樹脂枠6を接着したものである。

【0020】 樹脂基板3には、図1(C)に示すように、その裏面に半導体チップ2が装着される凹部3bが形成され、そして、半導体チップ2上のボンディングパッド2a(図1(A)参照)を露出させる開口3cが形成されている。また、樹脂基板3の裏面の基板周辺部には、環状の突起3aが形成されている。この環状突起3aの内壁面は、サブ基板1を嵌合させることができる形状となっている。

【0021】 ステッチランド4は、図1(C)に示すように、開口3cの両サイドに配置されている。また、図1(A)に示すように、半導体チップ2の長辺側のチップ間

にはステッチランドは配置されないようになっている。

【0022】次に、混成集積回路基板200の裏面側よりサブ基板1を嵌合させた後、裏面よりエポキシ系の封止材9を塗布し、熱硬化させてサブ基板1を固着する(図1(B)参照)。続いて、開口3cを介して半導体チップ2のボンディングパッドと開口部周辺を囲んで配置されたステッチランド4との間をボンディングワイヤ8により接続する。

【0023】次に、表側よりエポキシ系の封止材9を塗布し、これを熱硬化させてボンディングワイヤ8及び半導体チップ2を封止する(図1(B)参照)。このとき、封止材9の広がりには樹脂基板6により規制されるため、その表面は平坦に形成される。

【0024】樹脂基板3の下面外周部には環状の突起3aが設けられているが、その高さはサブ基板1を装着し、さらに封止材9により封止した後に、なお突起裏面より100 μ m以上のスタンドオフ寸法“T”が確保できるようになされている(図1(B)参照)。このようにすることにより、本混成集積回路装置をマザーボード上にはんだ付けする際、マザーボード側の反りや凹凸を吸収し、安定して取り付けることができるようになる。

【0025】本発明による実装構造では、図2の部分拡大断面図に示すように、半導体チップ2のボンディングパッドの位置よりもステッチランド4が上に配置される。そのため、ボンディングワイヤ8のエッジタッチの恐れがなくなり、半導体チップとステッチランドとの距離を近づけることができるようになる。その結果、半導体チップ間の距離(短辺側の辺同士の距離)“L1”を短くすることができる(L1<L2)。

【0026】そして、開口3cの両側にステッチランドを配置したことにより、即ち半導体チップ上にもステッチランドを配置するようにしたことにより、チップの実装エリアを拡大させることなくステッチランドの配置位置を確保することが可能になる。

【0027】さらに、半導体チップの長辺側の辺のチップ間にはステッチランドが形成されていないので、長辺側については、前記した従来例に比較してチップ間距離を大幅に短縮することができる。本発明の実施例においては、長辺側のチップ間隔は0.6mmであり、これはチップの位置決め精度により規定されたものである。

【0028】本実施例で用いた混成集積回路基板200のサイズは21.6mm×16.4mmであり、搭載する半導体チップ2のサイズは6.8mm×3.4mmが6個である。この実施例では、基板外形に対するチップの占有面積の比率は約40%となっている。これに対して、図3に示した第1の従来例では、同じサイズの基板上に実装できるチップ数は4であったので、1.5倍の実装密度の向上を図ることができたことになる。

【0029】本実施例においては、サブ基板1及び混成集積回路基板の樹脂基板3の双方を同一のガラスエポキ

シ樹脂を用いて形成しており、また表裏に塗布される封止材9も同一のエポキシ樹脂を用いていることより、加熱時の膨張係数の差に起因する反りは表裏両面で相殺され、混成集積回路装置の反りを低く抑えることができる。また、これにより半導体チップに加わる応力も低減化される。

【0030】以上、本発明の好ましい実施例について説明したが、本発明は上記の実施例に限定されるものではなく各種の変更が可能である。例えば前記実施例では、配線パターン5を単層で構成していたが、必要に応じて多層配線とすることができる。また、樹脂基板6は、封止材9の表面平坦性が重要でない場合にはこれを除去することができる。さらに、樹脂基板3をモールド法にて形成するようにして樹脂基板6と基板3とを一体化することができる。また、サブ基板1の表面を樹脂基板3の裏面に接着するようにして裏面側の封止材の塗布を廃止することもできる。

【0031】

【発明の効果】以上説明したように、本発明による混成集積回路装置は、混成集積回路基板の裏面にサブ基板にマウントされた半導体チップを搭載し、混成集積回路基板に半導体チップのボンディングパッド部を露出させる開口を設け、その開口を通るボンディングワイヤにより開口周辺に配置されたステッチランドとチップ上のボンディングパッドとの間を接続したものであるため、以下の効果を奏する。

【0032】(1) ボンディングワイヤのエッジタッチの恐れがなくなったことにより、チップとステッチランドとの距離を短くすることができるようになり、チップ間距離を短縮して実装密度を向上させることができる。

【0033】(2) 開口の両サイドにステッチランドを配置することができるため、即ちチップ上にもステッチランドを配置することができるため、チップの実装エリアを拡大させることなくステッチランドの配置位置を確保することが可能になる。そのため、ボンディングパッド間の間隔が100 μ m程度あるいはそれ以下となっても、ボンディングエリアを拡大させることなく対応することができるようになる。

【0034】(3) 半導体チップをサブ基板と混成集積回路基板(樹脂基板3)とにより挟むように構成されているため、加熱時の膨張係数の差に起因する反りは表裏両面で相殺され、基板反りを低く抑えることができ、例えば30mm×30mmの基板を用いたときに反りを100 μ m以下とすることができる。また、これにより半導体チップに加わる応力も低減化され、さらに、マザーボードへのはんだ付けが容易になる。

【0035】(4) 実施例に示したように、端面電極部にスタンドオフを設けることにより混成集積回路装置を実装するマザーボードとサブ基板との間に間隙を設けることができ、マザーボードに反りや凹凸があっても安定し

て取り付けることができるようになる。

【図面の簡単な説明】

【図 1】本発明の一実施例である混成集積回路装置を説明する図であって、(A)はその平面図、(B)は(A)の a-a 線断面図、(C)はその製造方法を説明するための断面図。

【図 2】本発明の一実施例の部分拡大断面図。

【図 3】従来の混成集積回路装置(第 1 の従来例)を説明する図であって、(A)はその平面図であり、(B)は(A)の b-b 線断面図。

【図 4】第 1 の従来例の部分拡大断面図。

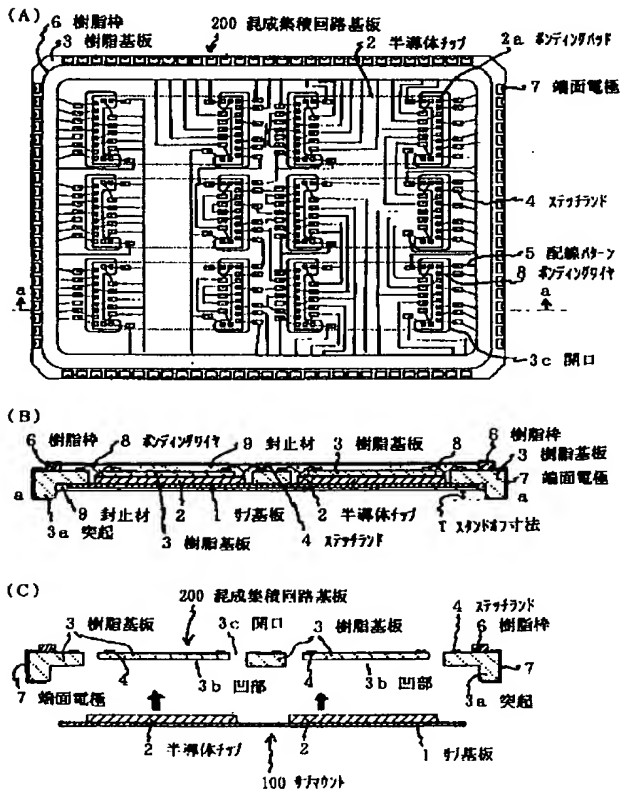
【図 5】第 2 の従来例の断面図。

【符号の説明】

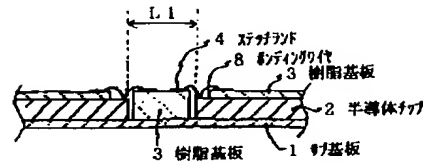
- 1 サブ基板
- 2 半導体チップ
- 2 a ボンディングパッド
- 3 樹脂基板

- 3 a 突起
- 3 b 凹部
- 3 c 開口
- 4 ステッチランド
- 5 配線パターン
- 6 樹脂枠
- 7 端面電極
- 8 ボンディングワイヤ
- 9 封止材
- 10 マウントランド
- 11 バイアホール
- 12 J リード
- 12 a インナーリード部
- 13 絶縁フィルム
- 14 モールド樹脂
- 100 サブマウント
- 200 混成集積回路基板

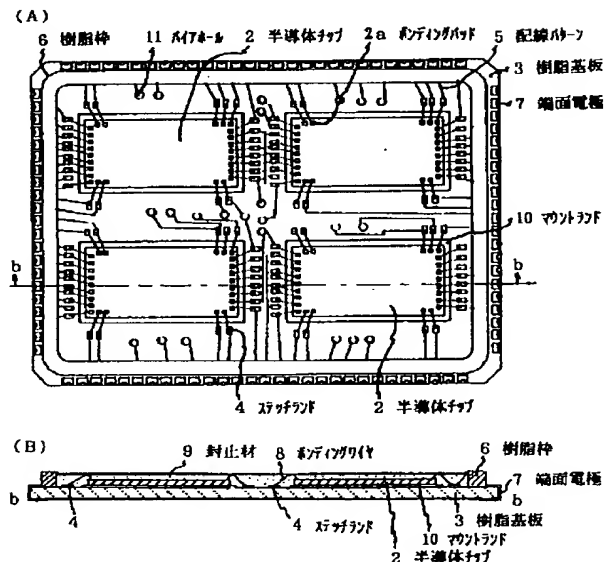
【図 1】



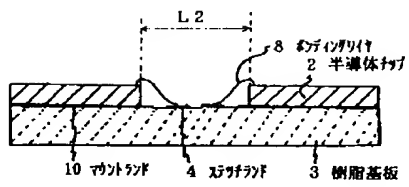
【図 2】



【図 3】



【図 4】



【図 5】

